

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-295790
(P2003-295790A)

(43) 公開日 平成15年10月15日 (2003.10.15)

(51) Int.Cl. ⁷		識別記号	F I		データ* (参考)
G 0 9 F	9/00	3 5 2	C 0 9 F	9/00	3 5 2 3 K 0 0 7
	9/30	3 6 5		9/30	3 6 5 Z 5 C 0 9 4
H 0 5 B	33/14		H 0 5 B	33/14	A 5 G 4 3 5

審査請求 有 請求項の数20 O L (全 13 頁)

(21) 出願番号 特願2002-95324(P2002-95324)

(22) 出願日 平成14年3月29日 (2002.3.29)

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション
INTERNATIONAL BUSINESS MACHINES CORPORATION
アメリカ合衆国10504、ニューヨーク州
アーモンク ニュー オーチャード ロード

(74) 代理人 100086243

弁理士 坂口 博 (外2名)

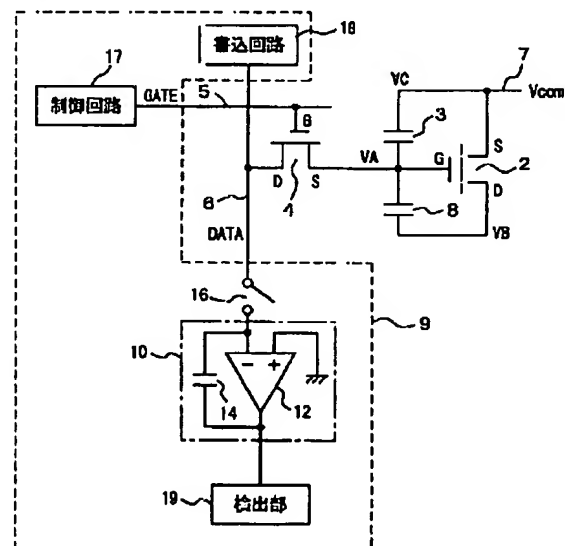
最終頁に続く

(54) 【発明の名称】 ELアレイ基板の検査方法及びその検査装置

(57) 【要約】

【課題】 ELアレイ基板上の不良をELパネルの組み立て前に検出することが可能なELアレイ基板の検査方法を提供する。

【解決手段】 所定電位をデータ線6に与え、スイッチングトランジスタ4を所定時間だけオンにすることにより、保持キャパシタ3及び寄生キャパシタ8を充電する。スイッチングトランジスタ4をオフにしてから所定時間経過後にスイッチングトランジスタ4を再びオンにし、データ線6を積分器10に接続することにより、保持キャパシタ3及び寄生キャパシタ8を放電し、積分器10により放電した電荷量を検出する。この電荷量に基づいて、ELアレイ基板上の不良をELパネルの組み立て前に検出する。



【特許請求の範囲】

【請求項1】 EL素子の一方の電極に接続されるドレインを有するドライブトランジスタと、前記ドライブトランジスタのゲートに接続される保持キャパシタと、前記EL素子の一方の電極と前記ドライブトランジスタのゲートとの間に形成される寄生キャパシタと、前記ドライブトランジスタのゲートに接続されるドレインを有するスイッチングトランジスタとを備えるELアレイ基板の検査方法であって、
所定電位を前記スイッチングトランジスタのドレインに与え、かつ前記スイッチングトランジスタを所定の書込時間オンにする書込ステップと、
前記スイッチングトランジスタをオフにしてから所定時間経過後に前記スイッチングトランジスタを再びオンにし、かつ前記スイッチングトランジスタのドレインを電荷量測定器に接続する読出ステップと、
前記電荷量測定器の出力に基づいて前記ELアレイ基板の不良を検出する検出ステップとを含むことを特徴とするELアレイ基板の検査方法。

【請求項2】 請求項1に記載のELアレイ基板の検査方法であって、
前記検出ステップは、
前記電荷量測定器の出力が通常よりも小さければ、前記ドライブトランジスタのゲート-ソース間ショート不良、ゲートドレイン間ショート不良、又はオープン不良と判断するステップを含むことを特徴とするELアレイ基板の検査方法。

【請求項3】 請求項1に記載のELアレイ基板の検査方法であって、
前記書込時間は、前記保持キャパシタ及び前記寄生キャパシタを完全に充電するのに必要な時間よりも短く、
前記検出ステップは、
前記電荷量測定器の出力が通常よりも大きければ、前記ドライブトランジスタのドレイン-ソース間ショート不良又はオフ不良と判断するステップを含むことを特徴とするELアレイ基板の検査方法。

【請求項4】 請求項1に記載のELアレイ基板の検査方法であって、
前記書込時間は、前記保持キャパシタ及び前記寄生キャパシタを完全に充電するのに必要な時間よりも短く、
前記検出ステップは、
前記電荷量測定器の出力が通常よりも小さければ、前記ドライブトランジスタのオン不良と判断するステップを含むことを特徴とするELアレイ基板の検査方法。

【請求項5】 請求項1に記載のELアレイ基板の検査方法であってさらに、
前記書込ステップの前に、前記ドライブトランジスタのドレインを所定電位にプリチャージするドレインプリチャージステップを含むことを特徴とするELアレイ基板の検査方法。

【請求項6】 請求項5に記載のELアレイ基板の検査方法であって、
前記ドレインプリチャージステップは、
所定電位を前記ドライブトランジスタのソースに与え、かつ前記ドライブトランジスタをオンにするステップを含むことを特徴とするELアレイ基板の検査方法。

【請求項7】 請求項6に記載のELアレイ基板の検査方法であって、
前記ドライブトランジスタをオンにするステップは、
所定電位を前記スイッチングトランジスタのドレインに与え、かつ前記スイッチングトランジスタをオンにするステップを含むことを特徴とするELアレイ基板の検査方法。

【請求項8】 請求項1又は請求項5に記載のELアレイ基板の検査方法であってさらに、
前記書込ステップの前に、前記ドライブトランジスタのゲートを所定電位にプリチャージするゲートプリチャージステップを含むことを特徴とするELアレイ基板の検査方法。

【請求項9】 請求項8に記載のELアレイ基板の検査方法であって、
前記ゲートプリチャージステップは、
所定電位を前記スイッチングトランジスタのドレインに与え、かつ前記スイッチングトランジスタをオンにすることを特徴とするELアレイ基板の検査方法。

【請求項10】 請求項5から請求項9のいずれか1項に記載のELアレイ基板の検査方法であってさらに、
前記書込時間は、前記保持キャパシタ及び前記寄生キャパシタを完全に充電するのに必要な時間よりも短く、
前記検出ステップは、
前記電荷量測定器の出力が通常よりも小さければ、前記ドライブトランジスタのオン不良又はオフ不良と判断するステップを含むことを特徴とするELアレイ基板の検査方法。

【請求項11】 EL素子の一方の電極に接続されるドレインを有するドライブトランジスタと、前記ドライブトランジスタのゲートに接続される保持キャパシタと、前記EL素子の一方の電極と前記ドライブトランジスタのゲートとの間に形成される寄生キャパシタと、前記ドライブトランジスタのゲートに接続されるドレインを有するスイッチングトランジスタとを備えるELアレイ基板の検査装置であって、
所定電位を前記スイッチングトランジスタのドレインに与え、かつ前記スイッチングトランジスタを所定の書込時間オンにする書込手段と、
前記スイッチングトランジスタをオフにしてから所定時間経過後に前記スイッチングトランジスタを再びオンにし、かつ前記スイッチングトランジスタのドレインを電荷量測定器に接続する読出手段と、
前記電荷量測定器の出力に基づいて前記ELアレイ基板

上の不良を検出する検出手段とを備えたことを特徴とするＥＬアレイ基板の検査装置。

【請求項１２】 請求項１１に記載のＥＬアレイ基板の検査装置であって、

前記検出手段は、前記電荷量測定器の出力が通常よりも小さければ、前記ドライブトランジスタのゲートソース間ショート不良、ゲートドレイン間ショート不良、又はオープン不良と判断することを特徴とするＥＬアレイ基板の検査装置。

【請求項１３】 請求項１１に記載のＥＬアレイ基板の検査装置であって、

前記書込時間は、前記保持キャパシタ及び前記寄生キャパシタを完全に充電するのに必要な時間よりも短く、前記検出手段は、前記電荷量測定器の出力が通常よりも大きければ、前記ドライブトランジスタのドレインソース間ショート不良又はオフ不良と判断することを特徴とするＥＬアレイ基板の検査装置。

【請求項１４】 請求項１１に記載のＥＬアレイ基板の検査装置であって、

前記書込時間は、前記保持キャパシタ及び前記寄生キャパシタを完全に充電するのに必要な時間よりも短く、前記検出手段は、前記電荷量測定器の出力が通常よりも小さければ、前記ドライブトランジスタのオン不良と判断することを特徴とするＥＬアレイ基板の検査装置。

【請求項１５】 請求項１１に記載のＥＬアレイ基板の検査装置であってさらに、

前記書込手段が動作する前に、前記ドライブトランジスタのドレインを所定電位にプリチャージするドレインプリチャージ手段を備えることを特徴とするＥＬアレイ基板の検査装置。

【請求項１６】 請求項１５に記載のＥＬアレイ基板の検査装置であって、

前記ドレインプリチャージ手段は、所定電位を前記ドライブトランジスタのソースに与え、かつ前記ドライブトランジスタをオンにすることを特徴とするＥＬアレイ基板の検査装置。

【請求項１７】 請求項１６に記載のＥＬアレイ基板の検査装置であって、

前記ドレインプリチャージ手段は、前記ドライブトランジスタをオンにするために、所定電位を前記スイッチングトランジスタのドレインに与え、かつ前記スイッチングトランジスタをオンにすることを特徴とするＥＬアレイ基板の検査装置。

【請求項１８】 請求項１１又は請求項１５に記載のＥＬアレイ基板の検査装置であってさらに、

前記書込手段が動作する前に、前記ドライブトランジスタのゲートを所定電位にプリチャージするゲートプリチャージ手段を備えることを特徴とするＥＬアレイ基板の検査装置。

【請求項１９】 請求項１８に記載のＥＬアレイ基板の

検査装置であって、

前記ゲートプリチャージ手段は、所定電位を前記スイッチングトランジスタのドレインに与え、かつ前記スイッチングトランジスタをオンにすることを特徴とするＥＬアレイ基板の検査装置。

【請求項２０】 請求項１５から請求項１９のいずれか１項に記載のＥＬアレイ基板の検査装置であってさらに、

前記書込時間は、前記保持キャパシタ及び前記寄生キャパシタを完全に充電するのに必要な時間よりも短く、前記検出手段は、前記電荷量測定器の出力が通常よりも小さければ、前記ドライブトランジスタのオン不良又はオフ不良と判断することを特徴とするＥＬアレイ基板の検査装置。

【発明の詳細な説明】

【発明の属する技術分野】本発明は、ＥＬ（エレクトロルミネッセンス）アレイ基板の検査方法及びその検査装置に関し、さらに詳しくは、ＥＬ素子の一方の電極に接続されるドレインを有するドライブトランジスタと、ドライブトランジスタのゲートに接続される保持キャパシタと、ＥＬ素子の一方の電極とドライブトランジスタのゲートとの間に形成される寄生キャパシタと、ドライブトランジスタのゲートに接続されるドレインを有するスイッチングトランジスタとを備えるＥＬアレイ基板の検査方法及びその装置に関する。

【０００１】

【従来の技術】図２０は、有機ＥＬパネルの１画素の構成を示す回路図である。この有機ＥＬパネルは、電圧書込方式と呼ばれ、有機ＥＬ素子１と、ドライブトランジスタ２と、保持キャパシタ３と、スイッチングトランジスタ４と、ゲート線５と、データ線６とを備える。

【０００２】スイッチングトランジスタ４がオンになると、データ線６から電荷が流入し、保持キャパシタ３が充電される。スイッチングトランジスタ４がオフになると、保持キャパシタ３への電圧の書き込みが終了し、保持キャパシタ３はその書き込まれた電圧を保持する。電圧書込終了時におけるドライブトランジスタ２のゲート電位は、保持キャパシタ３に充電された電荷量によって決まる。有機ＥＬ素子１に流れる電流はこのゲート電位に応じて制御され、これにより有機ＥＬ素子１の発光輝度が制御される。

【０００３】このような有機ＥＬパネルの製造工程では、ドライブトランジスタ２及びスイッチングトランジスタ４のオン及びオフ不良や保持キャパシタ３のオープン及びショート不良が検査されている。

【０００４】

【発明が解決しようとする課題】しかし、この検査は、有機ＥＬパネルを組み立てた後、有機ＥＬ素子１の点灯検査工程で行われている。したがって、有機ＥＬパネルを組み立てる前、有機ＥＬ素子１がまだ形成されてい

い有機ELアレレイ基板上に不良が発生している場合であっても、その不良が検出されるのは有機ELパネルの組み立て後になる。検出される不良には、組み立て前の基板上では修正可能だが、組み立て後のパネル上では修正不可能なものがある。その結果、組み立て費用が無駄になるという問題がある。

【0005】本発明の目的は、ELアレレイ基板上の不良をELパネルの組み立て前に検出することが可能なELアレレイ基板の検査方法及びその装置を提供することである。

【0006】

【課題を解決するための手段】本発明によるELアレレイ基板の検査方法は、所定電位をスイッチングトランジスタのドレインに与え、かつスイッチングトランジスタを所定の書込時間オンにする書込ステップと、スイッチングトランジスタをオフにしてから所定時間経過後にスイッチングトランジスタを再びオンにし、かつスイッチングトランジスタのドレインを電荷量測定器に接続する読出ステップと、電荷量測定器の出力に基づいてELアレレイ基板上の不良を検出する検出ステップとを含む。

【0007】本発明によるELアレレイ基板の検査装置は、書込手段と、読出手段と、検出手段とを備える。書込手段は、所定電位をスイッチングトランジスタのドレインに与え、かつスイッチングトランジスタを所定の書込時間オンにする。読出手段は、スイッチングトランジスタをオフにしてから所定時間経過後にスイッチングトランジスタを再びオンにし、かつスイッチングトランジスタのドレインを電荷量測定器に接続する。検出手段は、電荷量測定器の出力に基づいてELアレレイ基板上の不良を検出する。ここで、電荷量測定器としては積分器や微分器等が用いられる。

【0008】スイッチングトランジスタを所定の書込時間オンにすると、ELアレレイ基板の保持キャパシタ及び寄生キャパシタが充電される。スイッチングトランジスタをオフにしてから所定時間経過後にスイッチングトランジスタを再びオンにし、かつスイッチングトランジスタのドレインを電荷量測定器に接続すると、保持キャパシタ及び寄生キャパシタが放電され、電荷量測定器により放電された電荷量が検出される。

【0009】したがって、この電荷量測定器から出力される電荷量に基づいて、ELアレレイ基板上の不良をELパネルの組み立て前に検出することができる。組み立て後のELパネル上では修正不可能な不良であっても、ELアレレイ基板上であるから修正することができる。そのため、生産効率を向上させることができ、組み立て費用が無駄になるのを防止することができる。

【0010】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して詳しく説明する。図中同一又は相当部分には同一符号を付してその説明を援用する。

【0011】[第1の実施の形態]

1. 1. 構成

図1は、有機ELパネルを組み立てる前の有機ELアレレイ基板の1画素及びこれを検査するための検査装置の構成を示す回路図である。この有機ELアレレイ基板は、ドライブトランジスタ2と、保持キャパシタ3と、スイッチングトランジスタ4と、ゲート線5と、データ線6とを備える。

【0012】簡略化のため、図1には1画素分しか示されていないが、実際の有機ELアレレイ基板には画素が行列に配列されている。各行の画素のスイッチングトランジスタのゲートは対応するゲート線に共通に接続され、各行の画素のスイッチングトランジスタのドレインは対応するデータ線に共通に接続される。選択されたゲート線及びデータ線を駆動することにより、任意の画素を動作させることができる。

【0013】ドライブトランジスタ2はNチャネル薄膜トランジスタ(TFT)からなり、そのソースは共通線7に接続される。保持キャパシタ3は、ドライブトランジスタ2のゲートと共通線7との間に接続される。スイッチングトランジスタ4もまたNチャネル薄膜トランジスタ(TFT)からなり、そのソースはドライブトランジスタ2のゲートに接続され、そのゲートはゲート線5に接続され、そのドレインはデータ線6に接続される。

【0014】図1に示した有機ELアレレイ基板上には、図20に示した有機EL素子1及びそのカソードは形成されていない。ただし、そのアノードとなるITO(indiumtin oxide)膜(図示せず)は形成されている。ドライブトランジスタ2のドレインはこのITO膜に接続されるが、オープン状態にある。ITO膜はドライブトランジスタ2のゲートと構造上重なっているため、これらの間に寄生キャパシタ8が形成されている。

【0015】この有機ELアレレイ基板を検査するため、検査装置9が接続される。検査装置9は、積分器10と、スイッチング素子16と、制御回路17と、書込回路18と、検出部19とを備える。

【0016】積分器10は、差動増幅器12と、積分容量14とを備える。有機ELアレレイ基板のデータ線6は、スイッチング素子16を介して差動増幅器12の反転入力端子に接続される。制御回路17は、後述の方法でゲート線5の電位GATEを制御する。書込回路18は、後述の方法でデータ線6に所定の電位を与える。検出部19は、後述の方法で積分器10の出力に基づいてELアレレイ基板上の不良を検出する。

【0017】実際の検査では、各データ線6に積分器10が接続され、全ゲート線5に制御回路17が接続され、全データ線6に書込回路18が接続される。

【0018】1. 2. 検査方法

次に、有機ELアレレイ基板の検査方法を説明する。この検査方法は、保持キャパシタ3及び寄生キャパシタ8に

電荷を書き込むモードと、書き込んだ電荷を読み出すモードと、読み出した電荷に基づいて不良を検出するモードとからなる。

【0019】1. 2. 1. 書込モード

図2は、書込モードにおける動作を示すタイミング図である。まず書込回路18がデータ線6の電位DATAを接地電位GNDから駆動電位VD(+15V程度)に立ち上げ、続いて制御回路17が時刻t1でゲート線5の電位GATEを低電位VGL(-5V程度)から高電位VGH(+20V程度)に立ち上げる。これにより、スイッチングトランジスタ4がオンになり、電位VAが駆動電位VDに向かって上昇し始める。これに伴い、図3に示すように、保持キャパシタ3の電荷量Q1も上昇する。

【0020】このとき、ドライブトランジスタ2はオフであるから、ドライブトランジスタ2のドレインはフローティング状態にある。そのため、電位VBは図2に示すように、電位VAの上昇に伴い、寄生キャパシタ8のカップリングにより上昇する。しかし、寄生キャパシタ8は充電されないため、図3に示すように、寄生キャパシタ8の電荷量Q2は上昇しない。

【0021】時刻t2で電位VAがドライブトランジスタ2のしきい値を超えると、ドライブトランジスタ2がオンになり、電位VBが共通電位Vcom(GND)に向かって下降する。これに伴い、寄生キャパシタ8の電荷量Q2は上昇する。ただし、ドライブトランジスタ2のオン抵抗は比較的高いため、電荷量Q2は電荷量Q1よりも緩やかに上昇する。

【0022】続いて、保持キャパシタ3及び寄生キャパシタ8が飽和する前に、制御回路17がゲート線5の電位GATEを低電位VGLに戻す。これにより、スイッチングトランジスタ4がオフになる。引き続き、書込回路18がデータ線6の電位DATAを接地電位GNDに戻す。以下、ゲート線5の電位GATEを高電位VGHにしてスイッチングトランジスタ4をオンにする時間を「書込時間」という。

【0023】上述した書込により、保持キャパシタ3及び寄生キャパシタ8に充電される電荷量Qw1及びQw2は、それぞれ次式(1)及び(2)で表される。

$$\begin{aligned} \text{【0024】} Qw1 &= C1(Vwa - Vwc) \cdots (1) \\ Qw2 &= C2(Vwa - Vwb) \cdots (2) \end{aligned}$$

式(1)及び(2)中、C1は保持キャパシタ3の容量、C2は寄生キャパシタ8の容量、Vwaは書込終了時の電位VA(=VD)、Vwbは書込終了時の電位VB、Vwcは書込終了時の電位VC(=Vcom)である。

【0025】1. 2. 2. 読出モード

次に、電荷の書込を終えた有機ELアレイ基板を所定時間放置した後、電荷の読出を行う。電荷の読出を行う場合、図1に示したスイッチング素子16をオンにし、デ

ータ線6を差動増幅器12の反転入力端子に接続する。

【0026】図4は、読出モードにおける動作を示すタイミング図である。データ線6を差動増幅器12の反転入力端子に接続した後、制御回路17がゲート線5の電位GATEを再び高電位VGHに立ち上げる。これにより、スイッチングトランジスタ4がオンになる。差動増幅器12の反転入力端子は仮想接地されているから、電位VAが接地電位GNDに向かって下降し始める。これに伴い、図5に示すように、保持キャパシタ3の電荷量Q1及び寄生キャパシタ8の電荷量Q2も下降し始める。

【0027】時刻t3で電位VAがドライブトランジスタ2のしきい値を下回ると、ドライブトランジスタ2がオフになり、ドライブトランジスタ2のドレインがフローティング状態になるため、寄生キャパシタ8の電荷は全て放電されずに一部残る。そのため、図5に示すように寄生キャパシタ8の電荷量Q2は時刻t3を超えると一定になる。一方、図4に示すように、時刻t3経過後も電位VAは下降し続けるので、電位VBは寄生キャパシタ8のカップリングにより接地電位GNDよりも下降する。

【0028】上述した読出により、保持キャパシタ3及び寄生キャパシタ8に残る電荷量Qr1及びQr2は、それぞれ次式(3)及び(4)で表される。

$$\begin{aligned} \text{【0029】} Qr1 &= C1(Vra - Vrc) \cdots (3) \\ Qr2 &= C2(Vra - Vrb) \cdots (4) \end{aligned}$$

式(3)及び(4)中、Vraは読出終了時の電位VA(=GND)、Vrbは読出終了時の電位VB、Vrcは読出終了時の電位VC(=GND)である。

【0030】1. 2. 3. 検出モード

有機ELアレイ基板では以下の不良1～15が発生する可能性がある。図6は、これらの不良箇所を示す。図7は、これらの不良が発生した場合の電位VA、VB及びVCの変化を示すタイミング図である。図8及び図9は、不良が発生した場合の書込モードにおける寄生キャパシタ8の電荷量Q2の変化を示す。以下、各不良の特性を説明する。

【0031】不良1：スイッチングトランジスタ4のゲートソース間ショート

スイッチングトランジスタ4のゲートソース間がショートしている場合、ゲート線5の電位GATEが直接データ線6に与えられるため、積分器10は電荷量を検出することができない。したがって、この不良は、画素欠陥検査前の線欠陥検査でゲートソース間のクロスショートとして検出する。

【0032】不良2：スイッチングトランジスタ4のゲートドレイン間ショート

スイッチングトランジスタ4のゲートドレイン間がショートしている場合、スイッチングトランジスタ4がオンになったとき、上記不良1と同様にゲート線5の電位

GATEが直接データ線6に与えられるため、積分器10は電荷量を検出することができない。したがって、この不良も上記と同様に検出する。

【0033】不良3：スイッチングトランジスタ4のドレインソース間ショート

スイッチングトランジスタ4のドレインソース間がショートしている場合、電位VAはデータ線6の電位DATAと同じになる。したがって、保持キャパシタ3及び寄生キャパシタ8は充電されても、常にデータ線6の電位DATAが接地電位GNDに戻ると放電されてしまう。そのため、積分器10は電荷量を検出することができない。

【0034】不良4：ドライブトランジスタ2のゲートソース間ショート

ドライブトランジスタ2のゲートソース間がショートしている場合、電位VAが電位VCと常に同じになるため、保持キャパシタ3は充電されない。

【0035】不良5：ドライブトランジスタ2のゲートドレイン間ショート

ドライブトランジスタ2のゲートドレイン間がショートしている場合、電位VAが電位VBと常に同じになるため、寄生キャパシタ8は充電されない(図9参照)。

【0036】不良6：ドライブトランジスタ2のドレインソース間ショート

ドライブトランジスタ2のドレインソース間がショートしている場合、電位VBが電位VCと常に同じになるため、寄生キャパシタ8も保持キャパシタ3と同じ速度で充電される(図8参照)。

【0037】不良7：ドライブトランジスタ2のゲートオープン

図6中の不良71で断線が生じている場合、保持キャパシタ3及び寄生キャパシタ8のいずれも充電されない

(図9参照)。図6中の不良72で断線が生じている場合、保持キャパシタ3が充電されない。図6中の不良73で断線が生じている場合、寄生キャパシタ8が充電されない(図9参照)。図6中の不良74で断線が生じている場合、ドライブトランジスタ2が動作せず、寄生キャパシタ8が充電されない(図9参照)。

【0038】不良8：共通線のオープン

共通線が断線している場合、電位VB及びVCともにフローティング状態になり、電位VAと同様に変化するため、保持キャパシタ3及び寄生キャパシタ8ともに充電されない(図9参照)。

【0039】不良9：ドライブトランジスタ2のドレインオープン

ドライブトランジスタ2のドレインに断線が生じている場合(ドライブトランジスタ2がない場合も同じ)、電位VBがフローティング状態になり、電位VAと同様に

変化するため、寄生キャパシタ8が充電されない(図9参照)。

【0040】不良10：スイッチングトランジスタ4のゲートオープン

スイッチングトランジスタ4のゲートに断線が生じている場合(スイッチングトランジスタ4がない場合も同じ)、積分器10は電荷量を検出することができない。

【0041】不良11：スイッチングトランジスタ4のソースオープン

スイッチングトランジスタ4のソースに断線が生じている場合は上記不良10の場合と同じである。

【0042】不良12：スイッチングトランジスタ4のオフ不良

スイッチングトランジスタ4が完全にオフにならない場合、データ線6の電位DATAが接地電位GNDに戻ると、保持キャパシタ3及び寄生キャパシタ8は放電され、電位VAが徐々に低下する。

【0043】不良13：スイッチングトランジスタ4のオン不良

スイッチングトランジスタ4が完全にオンにならない場合、保持キャパシタ3及び寄生キャパシタ8は十分に充電されない。そのため、電位VAの立ち上がりが遅くなる。

【0044】不良14：ドライブトランジスタ2のオフ不良

ドライブトランジスタ2が完全にオフにならない場合、保持キャパシタ3が充電され始めるのと同時に寄生キャパシタ8も充電され始めるので、寄生キャパシタ8は正常な場合よりも早く充電される(図8参照)。

【0045】不良15：ドライブトランジスタ2のオン不良

ドライブトランジスタ2が完全にオンにならない場合、保持キャパシタ3の充電開始から寄生キャパシタ8の充電開始までの遅延時間が長くなる。そのため、電位VBが電位VCと同じになるのが遅くなる(図9参照)。

【0046】従来の検査方法では、有機EL素子が形成されていない有機ELアレイ基板上で、上述した不良のうち、ドライブトランジスタ2にかかわる不良を検出することはできなかった。しかし、本発明による検査方法では、保持キャパシタ3及び寄生キャパシタ8に電荷を書き込み、積分器10によりその書き込んだ電荷を検出することにより、ドライブトランジスタ2にかかわる不良も検出することができる。

【0047】積分器10は、保持キャパシタ3及び寄生キャパシタ8から読み出された総電荷量(図5中の斜線の部分)を検出する。積分器10により検出される電荷量Qは次式(5)で表される。

【0048】

$$\begin{aligned} Q &= (Qw1 + Qw2) - (Qr1 + Qr2) \\ &= C1(Vwa - Vwc) + C2(Vwa - Vwb) - C1(Vra - Vr) \end{aligned}$$

$$c) - C2 (Vra - Vrb) \cdots (5)$$

$Vwc = Vrc$ 、 $Vra = 0$ を式(5)に代入すると、次式(6)が得られる。

$$Q = C1 (Vwa) + C2 (Vwa - Vwb + Vrb) \cdots (6)$$

式(6)により、検出される電荷量 Q は、駆動電位 $VD (=Vwa)$ と電位 $VB (=Vwb$ 又は $Vrb)$ とにより決定されることがわかる。

【0050】ただし、上記不良3及び4の場合、 $Vra = 0$ は成り立つが、 $Vwc = Vrc$ は成り立たないので、式(5)をそのまま用いる。

【0051】ドライブトランジスタ2にかかわる不良4、5、7～9は、積分器10により検出される電荷量 Q が通常よりも少なくなることから、これらの不良を検出部19が検出する。

【0052】ドライブトランジスタ2にかかわる不良6、14は、書込モードにおける書込時間を保持キャパシタ3及び寄生キャパシタ8を完全に充電するのに必要な時間よりも短くすると、積分器10により検出される電荷量 Q が通常よりも多くなることから、これらの不良を検出部19が検出する。

【0053】ドライブトランジスタ2にかかわる不良15は、書込モードにおける書込時間を保持キャパシタ3及び寄生キャパシタ8を完全に充電するのに必要な時間よりも短くすると、積分器10により検出される電荷量 Q が通常よりも少なくなることから、この不良を検出部19が検出する。

【0054】1. 2. 4. 有機ELパネル全体の検査方法

以上、各画素の検査方法について説明したが、この方法は有機ELパネル全体の検査の中で用いられる。図10は、有機ELパネル全体の検査方法を示すフローチャートである。

【0055】まず、ゲート線5、データ線6、共通線7等の線間ショート不良を検査する(S1)。具体的には、検査しようとする線と他の線とに互いに異なる電位を与える。それらの線間がショートしていると、電流が流れる。この電流を測定すれば、線間ショート不良を検査することができる。

【0056】続いて、全ての画素について上述した方法で電荷量を検出する(S2)。検出した電荷量をA/D変換器でデジタルに変換し、各画素の電荷量をPC(パーソナルコンピュータ)に取り込む。

【0057】続いて、ゲート線5及びデータ線6のオープン不良を検査する(S3)。具体的には、各線の端(接続パッドから離れた側)から数個の画素について上述した方法で電荷量を検出する。検出した電荷量が所定のしきい値以下の場合はその線をオープン不良と判定する。

【0058】続いて、発見した線欠陥を可能なら修正するなどの処理を行う(S4)。

【0049】

【0059】続いて、各画素ごとの不良を検査する(S5)。ただし、何らかの線欠陥を発見した線については各画素ごとの不良を検査しない。各画素ごとの不良を検査するために、まず検出した電荷量の平均を算出する。図11は、全ての画素について検出した電荷量をゲート線に対してプロットしたグラフである。横軸は複数の区画に分割されている。全てのゲート線は、これら複数の区画に対応する複数のグループに分割される。各グループは複数のゲート線を含む。ここでは各区間ごとに、各グループに含まれる複数のゲート線と交差する同じデータ線上の画素について検出した電荷量の平均を算出する。各データ線は1つの積分器に接続されるから、同じデータ線上の全ての画素は同じ積分器により電荷量を検出される。各区間ごとに平均を算出した後、その平均を中心とする所定範囲内に各画素の電荷量があるか否かでその画素が不良か否かを判定する。

【0060】最後に、ゲート線の制御タイミングやデータ線の入力電位等の条件を変えて各画素の電荷量を測定し、各種不良モードを解析する(S6)。

【0061】[第2の実施の形態] 上述した第1の実施の形態では、図2に示した時刻t1まで電位VA及びVBは不確定である。このような状態で保持キャパシタ3及び寄生キャパシタ8を充電すると、その充電特性に画素間で差が生じる可能性があり、積分器10が電荷量を安定して検出することができない可能性がある。また、時刻t1から時刻t2までの時間が短い場合、ドライブトランジスタ2のオフ不良(上記の不良14)の検出が不十分になる可能性がある。

【0062】以下に述べる第2の実施の形態の目的は、保持キャパシタ3及び寄生キャパシタ8の電荷量を安定して検出し、特に、ドライブトランジスタ2のオフ不良を確実に検出することが可能な検査方法を提供することである。

【0063】2. 1. プリチャージモード

第2の実施の形態による検査方法は、書込動作の前に、図12に示したプリチャージ動作を行う。図1に示した制御回路17は共通線7にも接続され、後述の方法で共通線7の電位 V_{com} も制御する。制御回路17は、共通電位 V_{com} を $-10V$ 程度にした後、 $+5V$ 程度にする。制御回路17はまた、ゲート線5の電位GATEを、共通電位 V_{com} を $-10V$ 程度にしている間に2回低電位VGLから高電位VGHにし、共通電位 V_{com} を $+5V$ 程度にしている間に1回低電位VGLから高電位VGHにする。書込回路18は、データ線6の電位DATAを、共通電位 V_{com} が $-10V$ 程度にされている間にゲート線5の電位GATEが最初に高電位VGH

Hにされるとき、+15V程度にし、ゲート線5の電位GATEが2回目に高電位VGHにされるとき、-10V程度にする。

【0064】時刻t4ではスイッチングトランジスタ4がオンになり、不確定な電位VAがデータ線6の電位VD(+15V程度)に等しくなる。そのため、ドライブトランジスタ2がオンになり、不確定な電位VBが共通電位Vcom(-10V程度)、つまり電位VCに等しくなる。

【0065】続いて時刻t5でスイッチングトランジスタ4がオンになると、電位VAはデータ線6の電位VD(-10V程度)に向かって下降し始める。時刻t6で電位VAがドライブトランジスタ2のしきい値を下回ると、ドライブトランジスタ2がオフになり、電位VBがフローティング状態になる。時刻t6経過後も電位VAは下降し続けるので、寄生キャパシタ8のカップリングにより電位VBはVcom(-10V程度)よりもわずかに下降する。その結果、時刻t7では電位VBは負電位(<-10V)になる。

【0066】続いて時刻t8でスイッチングトランジスタ4がオンになると、電位VAはデータ線6の電位GNDに向かって上昇し始める。電位VBは寄生キャパシタ8のカップリングによりわずかに上昇する。その結果、時刻t9では電位VAは接地電位GNDになり、電位VBは負電位(-5V程度)になり、電位VCはVcom(+5V程度)になる。

【0067】以上のように、電位VA及びVBが書込前に確定されるため、積分器10は保持キャパシタ3及び寄生キャパシタ8に書き込まれた電荷を読み出し、その電荷量を安定して検出することができる。また、電位VBと電位VCとの間に差が生じ、この電位差はドライブトランジスタ2にオフ不良がある場合は時間の経過に伴って小さくなる。したがって、これを検出部19が検出すれば、ドライブトランジスタ2のオフ不良を確実に検査することができる。

【0068】上記プリチャージ動作は、画素ごとに電荷量を順次測定する前に、全ての画素に対して行う。この場合、測定順序により画素間で検査条件に差が生じるが、最初の画素を検査する前に十分な時間をおけば問題はない。

$$Q = C1(Vwa) + C2(Vwa - Vwb) - C2(Vra - Vrb) \dots (7)$$

ドライブトランジスタ2のオープン不良の場合、(Vwa - Vwb) = (Vra - Vrb)となり、寄生キャパシタ8の電荷量は検出されない。したがって、検出される電荷量Qは正常な場合よりも少なくなる。

【0076】ドライブトランジスタ2のショート不良の場合、Vwb = Vrbとなる。Vra = 0であるから、この場合、C2(Vwa)が電荷量Qとして検出され、保持キャパシタ3の電荷量は検出されない。したがっ

【0069】2. 2. 書込モード

保持キャパシタ3及び寄生キャパシタ8に電荷を書き込むときには、上記第1の実施の形態と同様にデータ線6の電位DATA及びゲート線5の電位GATEを変化させる。しかし、この第2の実施の形態では電荷を書き込む前に電位VA及びVBが確定しているため、電位VA及びVBは上記第1の実施の形態と異なり図13に示すように変化する。

【0070】時刻t10でスイッチングトランジスタ4がオンになると、電位VAは接地電位GNDからデータ線6の電位VDに向かって上昇し始める。これに伴い、電位VBは寄生キャパシタ8のカップリングにより負電位(-5V程度)から緩やかに上昇する。時刻t11で電位VAと電位VBとの差がドライブトランジスタ2のしきい値を超えると、ドライブトランジスタ2がオンになり、電位VBは共通電位Vcomに向かって速やかに上昇する。電位VAが共通電位Vcomに達するまでに制御回路17がゲート線5の電位GATEを低電位VGLに戻し、スイッチングトランジスタ4をオフにする。

【0071】保持キャパシタ3の電荷量Q1、寄生キャパシタ8の電荷量Q2、及びそれらの総電荷量Q1+Q2は、図14に示したように変化する。上記第1の実施の形態と異なり、時刻t11前に寄生キャパシタ8はある程度充電されている。

【0072】2. 3. 読出モード

保持キャパシタ3及び寄生キャパシタ8から電荷を読み出すときには、図15に示すように、上記第1の実施の形態と同様に制御回路17がゲート線5の電位GATEを変化させる。これにより、電位VA、VB及びVCは上記第1の実施の形態と同様に変化する。したがって、保持キャパシタ3の電荷量Q1、寄生キャパシタの電荷量Q2、及びそれらの総電荷量Q1+Q2は、図16に示したように変化する。

【0073】2. 4. 検出モード

図17は、書込及び読出モードにおける電位VBの変化を各不良ごとに示すタイミング図である。ただし、図中の太線は電位VAの変化を示す。

【0074】積分器10により検出される電荷量Qは次式(7)で表される。

$$【0075】$$

て、検出される電荷量Qは正常な場合よりも少なくなる。

【0077】ドライブトランジスタ2のオフ不良の場合及びオン不良の場合、Vwbが正常な場合よりも高くなるため、検出される電荷量Qは正常な場合よりも少なくなる。

【0078】ドライブトランジスタ2にオフ不良がある場合、書込モードにおいて寄生キャパシタ8の電荷量Q

2は図18に示したように変化する。この場合、ドライブトランジスタ2は完全にオフにならないので、電位VBは図19に示したように負電位(-5V程度)を維持できず、共通電位Vcom(+5V程度)に引き上げられる。そのため、ドライブトランジスタ2がオンになる時期が正常な場合よりも遅くなる。したがって、電位VBは電位VAに伴って上昇し、電位VCに対する電位VAがドライブトランジスタ2のしきい値を超えたとき、ドライブトランジスタ2がオンになり、電位VBは電位VCに向かって下降する。

【0079】ドライブトランジスタ2のドレインと隣接素子のデータ線とのショート不良の場合、及びドライブトランジスタ2のドレインと隣接素子のゲート線とのショート不良の場合、 $V_{wb} = V_{rb}$ となる。 $V_{ra} = 0$ であるから、この場合、C2(V_{wa})が電荷量Qとして検出され、保持キャパシタ3の電荷量は検出されない。したがって、検出される電荷量Qは正常な場合よりも少なくなる。

【0080】以上、本発明の実施の形態を説明したが、上述した実施の形態は本発明を実施するための例示に過ぎない。よって、本発明は上述した実施の形態に限定されることなく、その趣旨を逸脱しない範囲内で上述した実施の形態を適宜変形して実施することが可能である。

【図面の簡単な説明】

【図1】本発明の実施の形態による検査方法において検査対象となるELアレイ基板の1画素およびそれを検査するための検査装置の構成を示す回路図である。

【図2】本発明の第1の実施の形態による検査方法の書込モードにおける動作を示すタイミング図である。

【図3】図2に示した書込モードにおける図1中の保持キャパシタ及び寄生キャパシタの電荷量の変化を示す図である。

【図4】本発明の第1の実施の形態による検査方法の読出モードにおける動作を示すタイミング図である。

【図5】図4に示した読出モードにおける図1中の保持キャパシタ及び寄生キャパシタの電荷量の変化を示す図である。

【図6】図1に示した有機ELアレイ基板上の不良箇所を示す図である。

【図7】図1に示した有機ELアレイ基板上に不良がある場合に、図2及び図4に示した読出及び書込モードにおける動作を正常な場合と比較して示すタイミング図である。

【図8】図1に示した有機ELアレイ基板上に不良がある場合に、図2に示した書込モードにおける寄生キャパシタの電荷量の変化を正常な場合と比較して示す図であ

る。

【図9】図1に示した有機ELアレイ基板上に不良がある場合に、図2に示した書込モードにおける寄生キャパシタの電荷量の変化を正常な場合と比較して示す図である。

【図10】有機ELパネル全体の検査方法を示すフローチャートである。

【図11】図10に示した検査方法において、全ての画素について検出した電荷量をゲート線に対してプロットしたグラフである。

【図12】本発明の第2の実施の形態による検査方法のプリチャージモードにおける動作を示すタイミング図である。

【図13】本発明の第2の実施の形態による検査方法の書込モードにおける動作を示すタイミング図である。

【図14】図13に示した書込モードにおける図1中の保持キャパシタ及び寄生キャパシタの電荷量の変化を示す図である。

【図15】本発明の第2の実施の形態による検査方法の読出モードにおける動作を示すタイミング図である。

【図16】図15に示した読出モードにおける図1中の保持キャパシタ及び寄生キャパシタの電荷量の変化を示す図である。

【図17】図1に示した有機ELアレイ基板上に不良がある場合に、図13及び図15に示した読出及び書込モードにおける動作を正常な場合と比較して示すタイミング図である。

【図18】図1中のドライブトランジスタにオフ不良がある場合に、図13に示した書込モードにおける寄生キャパシタの電荷量の変化を正常な場合と比較して示す図である。

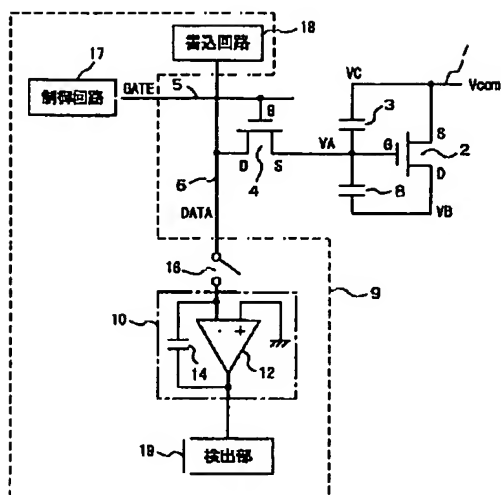
【図19】図18に示した場合における図1中の電位VAおよびVBの変化を示す図である。

【図20】有機ELパネルの1画素の構成を示す回路図である。

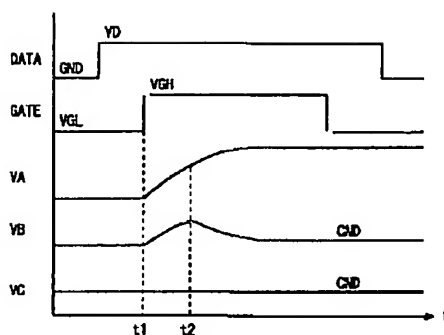
【符号の説明】

- 1 有機EL素子
- 2 ドライブトランジスタ
- 3 保持キャパシタ
- 4 スイッチングトランジスタ
- 5 ゲート線
- 6 データ線
- 7 共通線
- 8 寄生キャパシタ
- 10 積分器
- 16 スイッチング素子

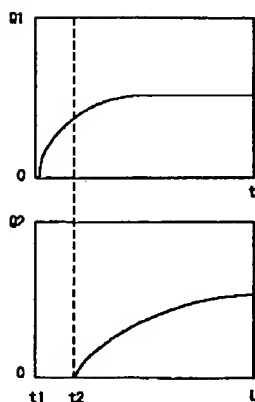
【图1】



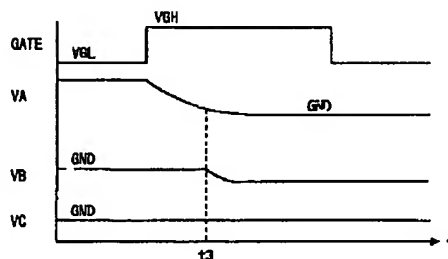
【图2】



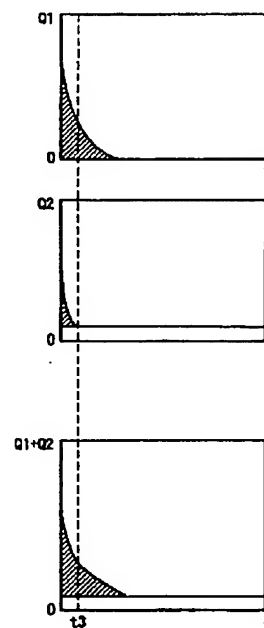
【图3】



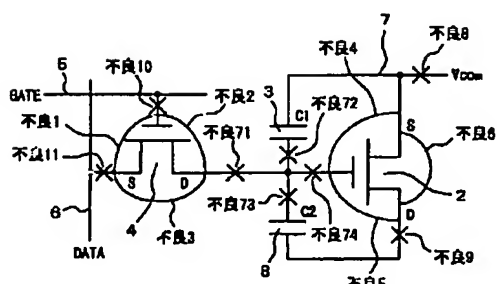
【图4】



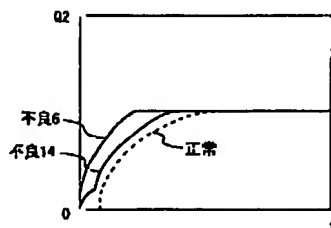
【图5】



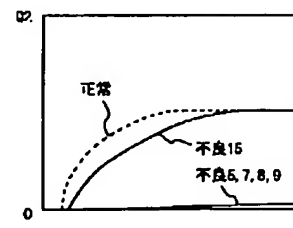
【图6】



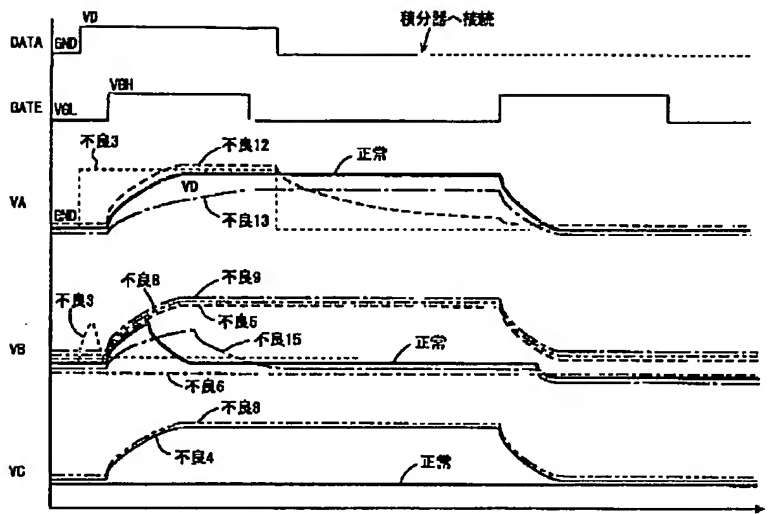
【图8】



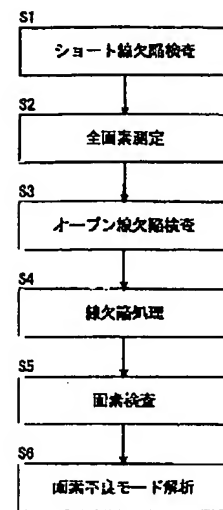
【图9】



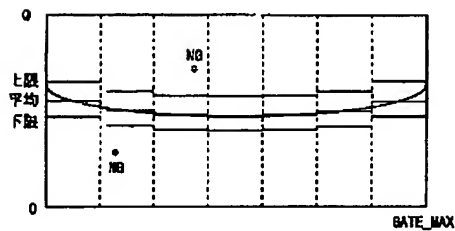
【図7】



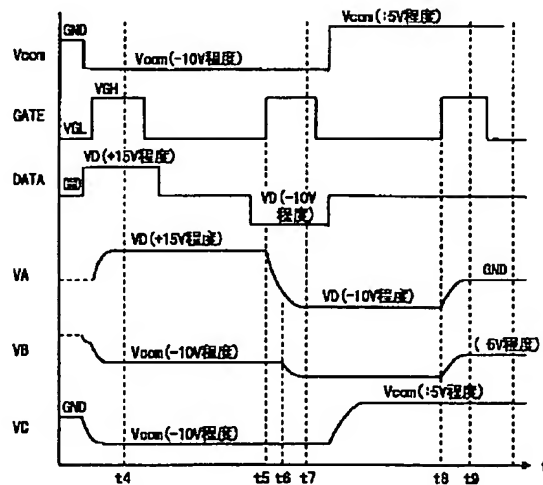
【図10】



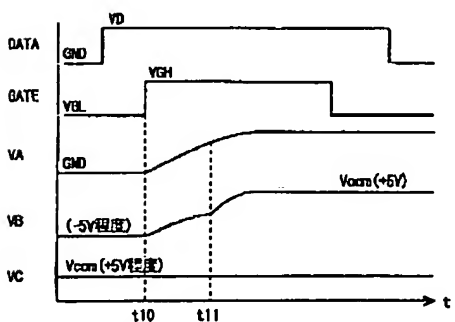
【図11】



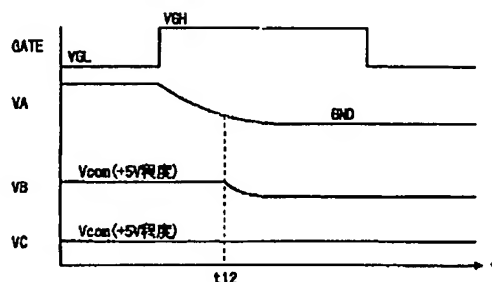
【図12】



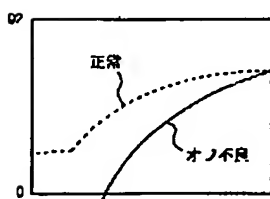
【図13】



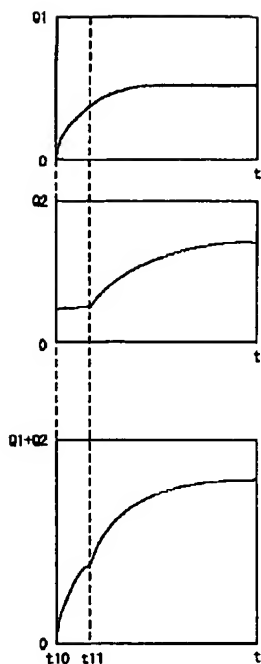
【図15】



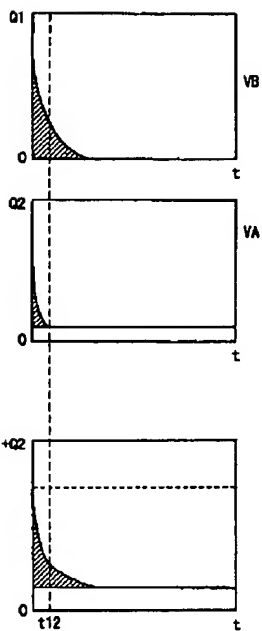
【図18】



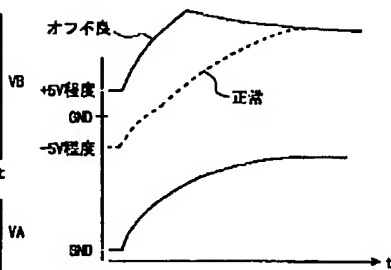
【図14】



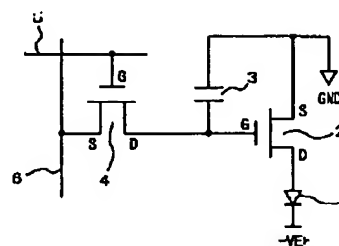
【図16】



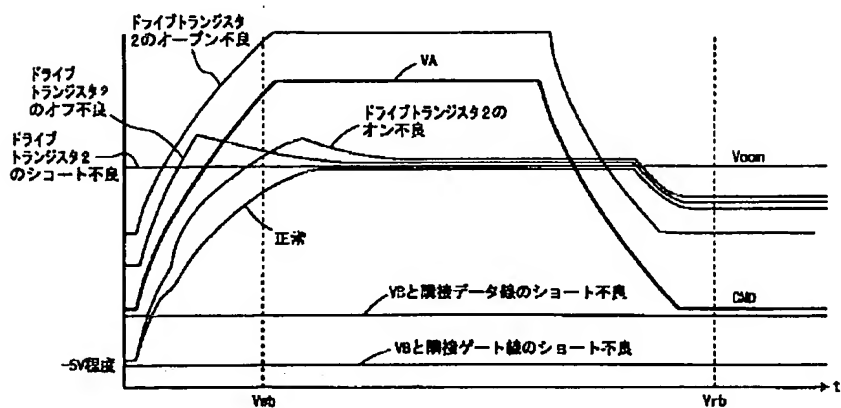
【図19】



【図20】



【図17】



フロントページの続き

(72)発明者 田口 知幸
滋賀県野洲郡野洲町大字市三宅800番地
日本アイ・ビー・エム株式会社 野洲事業
所内

(72)発明者 大田 淳登
滋賀県野洲郡野洲町大字市三宅800番地
日本アイ・ビー・エム株式会社 野洲事業
所内

(電 3) 03-295790 (P2003-295790A)

Fターム(参考) 3K007 AB18 DB03
5C094 AA42 AA44 BA03 BA27 CA19
GB10 HA08 JA02
5G435 AA17 BB05 CC09 HH13 KK05
LL06 LL07 LL08